

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-125247

(43)Date of publication of application : 06.05.1994

(51)Int.Cl.

H03K 3/02

H03K 3/64

(21)Application number : 04-272180

(71)Applicant : NEC CORP

(22)Date of filing : 12.10.1992

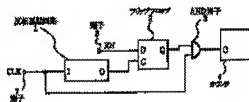
(72)Inventor : SEKI MINORU

## (54) INPUT PULSE CONTROL CIRCUIT

## (57)Abstract:

PURPOSE: To always supply a clock pulse signal of the constant pulse width to a counter and to prevent the malfunctions of the counter by providing an inverting delay circuit and a flip-flop.

CONSTITUTION: A flip-flop 2 latches an enable signal EN, and a clock pulse signal CLK supplied from a terminal 7 is delayed and inverted by an inverting delay circuit 1. The signal EN is latched at an L level of the delayed signal CLK. Therefore the signal CLK which is controlled by the signal EN and always has the fixed pulse width can be supplied to an counter 4 as long as an AND is secured between the signal CLK supplied from the terminal 7 and the output signal of the flip-flop 2.



(10)日本国特許庁(J P)

## (12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-125247

(43)公開日 平成6年(1994)5月6日

(51)Int.Cl.<sup>5</sup>H 0 3 K  
3/02  
3/64

識別記号

D 8124-5 J  
8124-5 J

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 3 頁)

(21)出願番号 特願平4-272180

(22)出願日 平成4年(1992)10月12日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者

関 稔  
東京都港区芝五丁目7番1号日本電気株式  
会社内

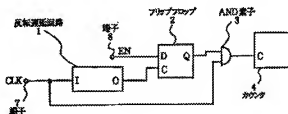
(74)代理人 弁理士 京本 直樹 (外2名)

## (54)【発明の名称】 入力パルス制御回路

## (57)【要約】

【目的】カウンタ等へのクロックパルスをイネーブル信号が“H”の時間のみ供給する回路において、入力クロックパルスのパルス幅がイネーブル信号との位相関係で短くなることがなくカウンタの誤動作を防ぐ事ができる。

【構成】入力パルス信号の反転遅延回路1と、反転遅延回路1からの出力でイネーブル信号をラッチするフリップフロップ2と、反転遅延回路1とフリップフロップ2の出力信号とでANDをとるAND素子3とを有している。



## 【特許請求の範囲】

【請求項1】 論理素子に供給されるパルス信号を遅延し反転させる反転遅延回路と、前記パルス信号を制御するイネーブル信号を前記反転遅延回路の出力信号の立上りでラッチするフリップフロップと、前記パルス信号とフリップフロップの出力信号とANDをとる論理素子とを有することを特徴とする入力パルス制御回路。

【請求項2】 前記反転遅延回路の遅延量は遅延されたパルス信号の“L”レベルの間で前記フリップフロップ出力であるイネーブル信号の“H”レベルが立ち上がるように設定されることを特徴とする請求項1記載の入力パルス制御回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は入力パルス制御回路に関し、特にカウンタ等への入力パルス信号を制御するための入力パルス制御回路に関する。

## 【0002】

【従来の技術】 従来の入力パルス制御回路は、図3に示すように、AND素子5は端子7から入力されたクロックパルス信号CLKと、端子8から入力されるイネーブル信号ENとを入力してANDをとった信号を出力する。この出力信号はカウンタのクロック入力端子Cに入力される。図4は前述の入力パルス制御回路のタイミングチャートを示したもので、イネーブル信号ENがHレベルの時間帯のみクロックパルス信号がカウンタ6のクロック入力端子Cへ供給される。ここでイネーブル信号とクロック信号のタイミングが合わない場合には図4のAND素子5出力の時間幅T1、T2が正規のクロックのパルス幅よりせまいパルス幅となる事があった。

## 【0003】

【発明が解決しようとする課題】 この従来の入力パルス制御回路はイネーブル信号入力端子Hレベルの時には常にクロックパルス信号がカウンタへ供給されるので、イネーブル信号とクロックパルス信号の位置関係によりカウンタへ供給されるクロック信号のパルス幅が短くなることがある（図4のT1、T2）。したがってクロックパルス幅が変化する時点ではカウンタが動作したりしなかったりするおそれがあり誤動作の原因となるという欠点がある。

## 【0004】

【課題を解決するための手段】 本発明の入力パルス制御回路は論理素子に供給されるパルス信号を遅延し反転させる反転遅延回路と、前記パルス信号を制御するイネーブル信号を前記反転遅延回路の出力信号の立上りでラッチするフリップフロップと、前記パルス信号とフリップフロップの出力信号とANDをとる論理素子とを有す

る。

## 【0005】

【実施例】 次に本発明について図面を参照して説明する。図1は本発明の一実施例を示すブロック図、図2は本実施例の動作を説明するタイミングチャートである。図1の実施例は端子7から入力されるクロック信号CLKを反転遅延させる反転遅延回路1、フリップフロップ2、AND素子3から構成される。本実施例の基本動作はイネーブル信号ENが“H”の場合のみクロック信号CLKをカウンタ4に入力する。

【0006】 次に本実施例の動作を図2により説明する。図2は回路内の動作を示したタイミングチャートでHはHレベル、LはLレベルを示す。フリップフロップ2によってイネーブル信号ENをラッチする。一方クロックパルス信号は、反転遅延回路1によって端子7からのクロックパルス信号CLKを遅延し反転した信号である。イネーブル信号ENは遅延したクロックパルス信号のLレベルの部分でラッチされる。従って端子7から入力されたクロックパルス信号とフリップフロップ2出力信号とANDをとれば、イネーブル信号により制御され、さらにパルス幅が常に一定のクロックパルス信号をカウンタ4へ供給することができる。

## 【0007】

【発明の効果】 以上説明したように本発明は反転遅延回路と、フリップフロップとを設けることにより、常に一定のパルス幅をもつクロックパルス信号をカウンタへ供給することができるので、カウンタの誤動作を防止できるという効果がある。

## 【図面の簡単な説明】

【図1】 本発明の一実施例を示すブロック図である。

【図2】 本実施例の動作を示したタイミングチャートである。

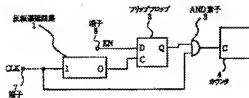
【図3】 従来の入力パルス制御回路のブロック図である。

【図4】 従来の入力パルス制御回路の動作を示すタイミングチャートである。

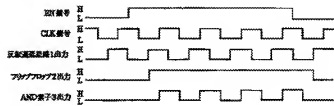
## 【符号の説明】

- 1 反転遅延回路
- 2 フリップフロップ
- 3 AND素子
- 4 カウンタ
- 5 AND素子
- 6 カウンタ
- 7, 8 端子
- EN イネーブル信号入力端子
- CLK クロックパルス信号入力端子
- C カウンタのクロック信号入力

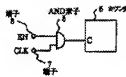
【図1】



【図2】



【図3】



【図4】

